

## 采用FPGA优化雷达和高级传感器

### 引言

在现代城市和海岸战争中，预先掌握战场环境非常重要。空中、海上和陆地的士兵需要了解周围的环境，及早发现敌情。

目前的军用传感器对环境数据获取和处理的需求非常大。为尽快处理数据，向士兵提供“可行动智能”信息，传感器系统逻辑需要优化组合各种逻辑和数字信号处理(DSP)功能，采用高速收发器，提高设计在功耗和性能上的灵活性，提供非常可靠的设计流程以满足最终用户的需求。

如图1所示，雷达系统可以用在多种平台上，包括军用和非军用系统。很多这类系统采用了阵列和投影阵列技术，这些系统对数字逻辑的要求越来越高，要求采用更小的元件和电路板。



图1. 雷达应用

对于关注军用高级传感器市场的设计人员而言，Altera简单可靠的工具流程、知识产权(IP)库和高功效逻辑器件都具有很强的优势。

### 军用电子系统的融合

军用系统和车辆一般都安装了大量的分立电子子系统。其中最复杂的是定向雷达、监控雷达、电子战和反对抗、成像，以及无线电通信设备。如图2所示，在很多军用系统中，采用了多模式主动电子扫描阵列(AESA)技术，这些功能逐渐出现了融合趋势。系统对数字逻辑和状态逻辑的需求明显增大，要求业界提供更成熟可靠的可编程逻辑器件(PLD)。

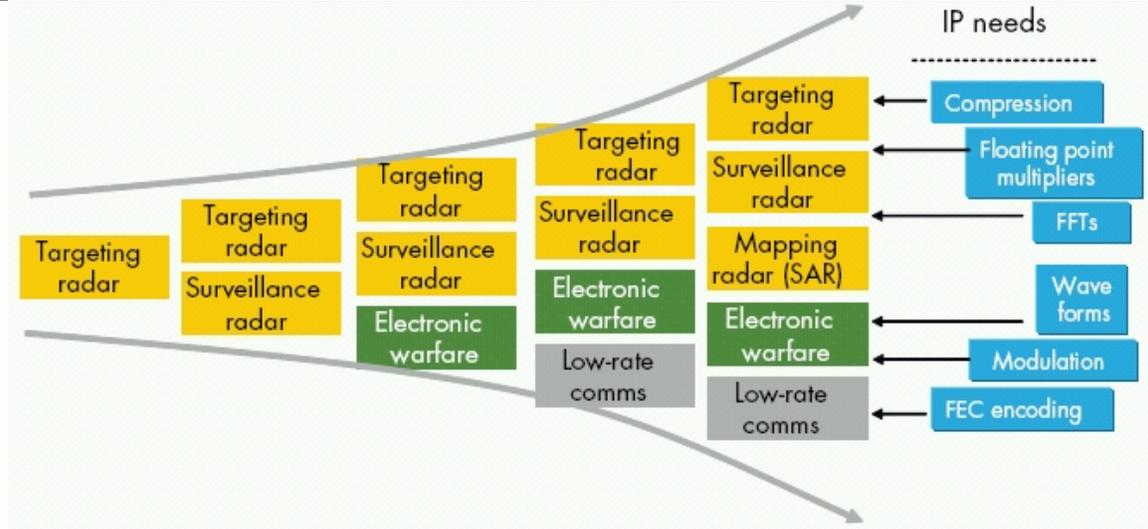


图2. 军用系统中电子功能的融合

各种军事任务在市场上出现了明显的功能重叠(图3)。存储器和半导体性能的大幅度提高使得在多角色系统中完成这些任务成为可能。Altera® FPGA和结构化ASIC提供功能强大而又使用方便的软件，公司还与逻辑设计软件伙伴进行可靠的合作，因此，在这一技术发展趋势中扮演了重要角色。大量的IP模块库简化了这类复杂的军用设计。

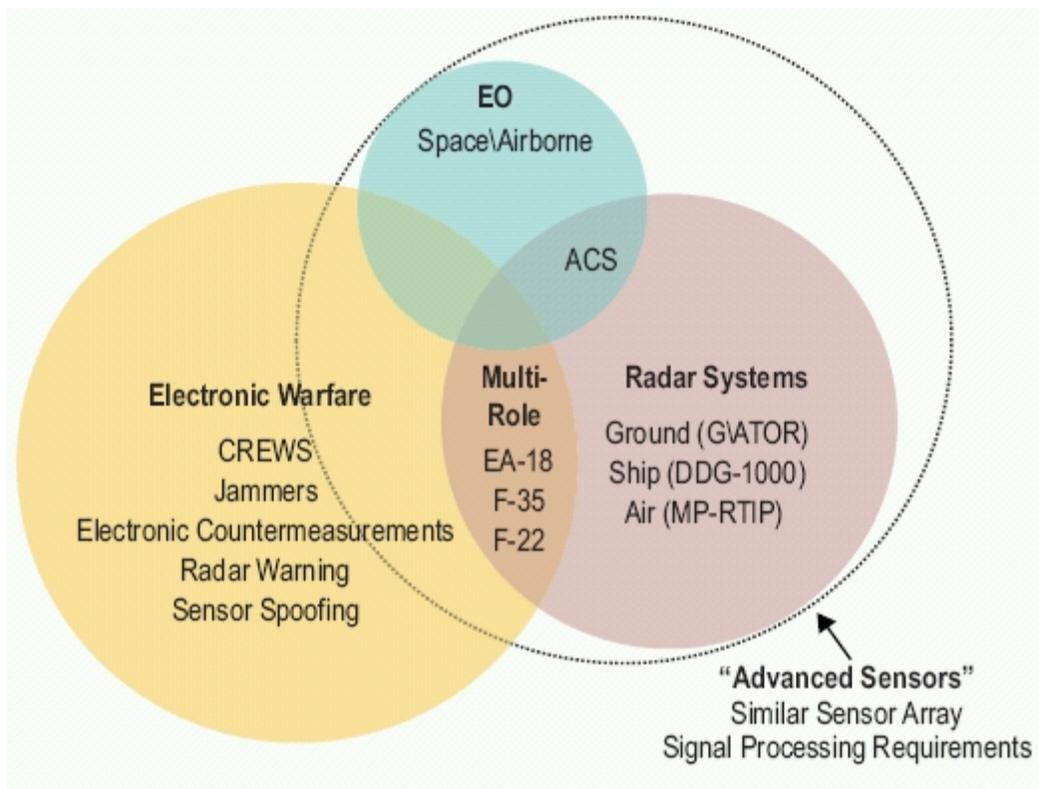


图3. 军用电子市场的重叠

## 其他技术影响

传感器中有源阵列的迅速发展是推动逻辑器件的主要技术力量。大量的阵列单元意味着更多的设计工作，更复杂的聚束算法，更密集的集成和测试，以及更长的系统物流供给线。

为满足军用系统的各种计算需求，政府客户加大了对可配置处理器的投入，同时完成前端和后端处理功能。虽然有些技术已经实现了产品化，而可编程逻辑是完成关键传感器项目的最佳中间设计步骤。

传感器设计采用了多输入多输出(MIMO)传感器阵列进行试验(图4所示)。MIMO系统中的接收机完成多个正交传输波形之间的相位延时相关计算，充分利用了电子器件密度和计算容量的进步。希望在这一市场上脱颖而出的开发人员应采用这些最高级的高密度器件，以最简洁的设计流程、最有效的编译手段完成设计。

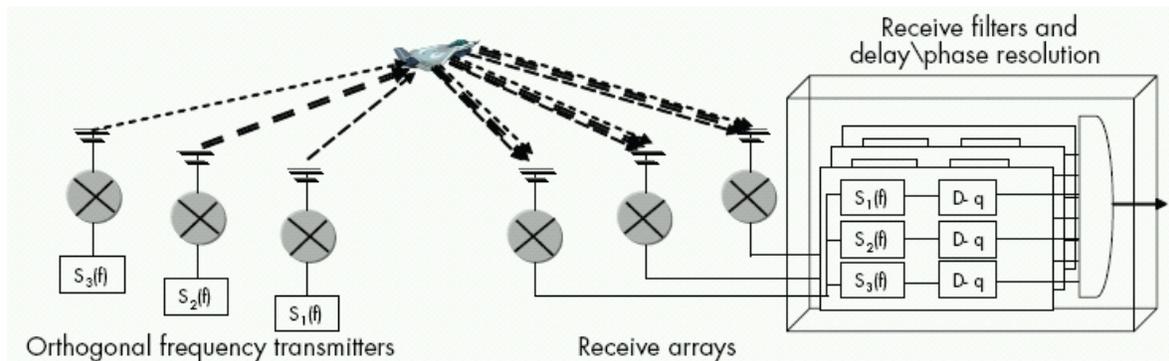


图4. MIMO传感器

## 让AESA更灵活

AESA是功能非常强大的技术，可建立高度自适应调整束，跟踪多个目标或者聚焦在一个位置的电磁能量上。为充分利用系统的操纵功能，设计人员尽可能将信号处理功能在系统的转发辐射单元中实现。这包括波形建立和压缩、聚束、相关和预处理。大部分功能在经过优化的并行FPGA逻辑中完成，加速了聚束算法和波形自适应功能，缩短了系统反应时间。

高密度Stratix®系列FPGA是优化雷达系统性能的最佳工具。逻辑密度的提高使得在一个芯片中实现更多的功能成为可能。改进后的DSP单元简化了矩阵的算术实现，提高了灵活性。非常灵活的18x18位乘法器可以分成9x9位单元，或者组合成功效和逻辑效率非常高的54位乘法器，完成浮点运算。Altera的浮点算子经过测试，适合多种高性能应用。

## 高级传感器要求

和其他工程领域相比，军用高级传感器设计面临的挑战非常独特，它包括商业市场上的所有设计约束，而且还有跨越两到三代元件技术的设计一致性、严格的测试和验证以及更新设计和实现产品生命周期等。这些约束的一些例子有：

- **较高的串行数据流容量：**数字天线技术转向模拟数字融合，更靠近接收机，需要提高信号分辨率以完成数字滤波。
- **复杂的数学运算：**信号预处理和矩阵运算要求采用大量的DSP模块单元以保证以前由数字信号处理器完成的任务。
- **对散热敏感：**传感器系统一般有较长的使用时间，连续工作时需要进行散热。
- **多角色电子系统的逻辑密度：**由于很多军事任务都是由同一阵列完成的，因此，对发送和接收电子系统的要求非常高。
- **速度和延迟性能：**传感器阵列中的逻辑器件速率等级和延迟以及逻辑器件之间的所有接口延迟，都会影响反应时间和聚束算法的性能。
- **元件供货：**传感器系统非常复杂，一个元件不能按计划供货都会对系统其他部分产生严重的后果。
- **工具流程的易用性：**数百万的逻辑单元(LE)集成在一个系统设计中，大量逻辑代码的设计、编译和测试都有可能推高成本，影响进度。
- **信号完整性：**越来越多的接收机数据在最终处理过程中彼此相关，很小的信号误差也会对传感器算法产生很大的影响。因此，数字元件的信号完整性非常重要。

## 高速串行I/O

军用传感器系统使用各种高速串行接口(参见表1)来处理发送\接收单元产生的大量数据。Altera为大部分协议提供内部解决方案以及合作伙伴解决方案，并提供减小开销和延迟的专用SerialLite II标准。

表1. Altera及其合作伙伴的标准和高速接口协议支持

接口类型	协议
通信	SONET承载数据包 (POS)
	PHY 2/3
	SPI-4.2
	SONET
	8b/10b
	Utopia
	高级数据链路控制器 (HDLC)
	循环冗余校验 (CRC)
	以太网
10G MAC和PCS	
1588工业以太网	
任意速率的MAC	
高速	RapidIO <sup>®</sup>
	HyperTransport <sup>™</sup>
	SerialLite II
	Multi-Gbyte光纤通道
PCI	32-/64位PCI
	PCI-X
	PCI Express /1, /4, /8
串行	USB 2.0功能
	I <sup>2</sup> C
	CAN
	MediaLB
	SATA
视频	串行数字接口 (SDI)
	异步串行接口 (ASI)

Altera内部开发的SerialLite II协议的多种特性非常适合实现军用传感器设计，这些特性包括：

- 1至16倍速率，最大6.375 Gbps
- 非常低的延迟以及高效的LE实现
- 支持单向速率和半双工吞吐量，适合单向传感器流。

高速传感器数据流产品，例如即将实施的Curtis Wright Controls® FibreXtreme 串行FPDP (ANSI/VITA 17.1-2003)数据链路，采用Altera FPGA实现非常可靠的串行接口，具有成熟的信号完整性以及较高的数据速率。

### 功耗和散热优势

军事用户要求在传感器阵列中采用散热性能良好的元件，以提高灵活性和精度，并且不会因为提高传感器性能而增加系统体积或者重量。这意味着更紧凑的传感器电子元件，复杂的功耗和散热要求。

系统设计人员从没有象现在这样直接能够控制可编程逻辑器件的功耗和散热。Altera设计流程有五种优势帮助实现系统功耗和性能的最佳平衡。Altera专利可编程功耗技术支持设计人员在需要提高性能的关键逻辑通路上提高功率，而对不需要的地方则降低功率。设计人员可以在0.9V和1.1V FPGA内核电压之间进行选择，以达到功耗和性能的平衡。此外，功能强大的Altera Quartus® II设计系统还具有两个新特性：动态智能地关断未使用的电源连接，优化电源走线。

如图5所示，FPGA设计人员具有灵活的设计余量来进行调整，同时满足功耗和性能要求。

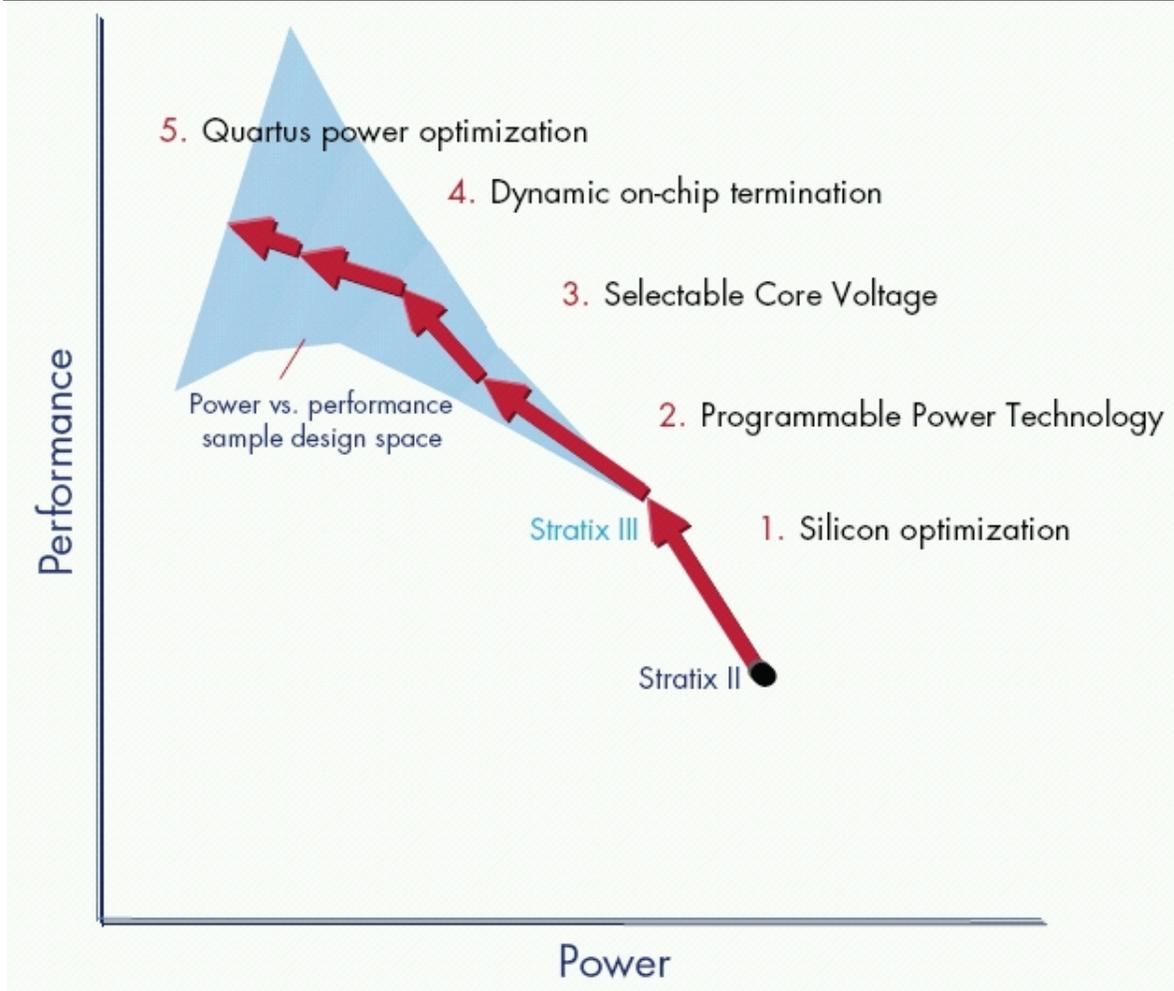


图5. 军用设计人员在优化设计功耗和性能时可以采取的5种方法

在65-nm FPGA技术节点(Stratix III和Virtex-5)，图6所示为单位等价LE功耗曲线。Stratix系列FPGA在高性能点上具有更好的功效，根据系统要求，甚至还能够进一步降低功耗。对于采用1.1V内核电压的设计，功耗可以降低23%，而采用0.9V内核电压时，则可以降低40%。

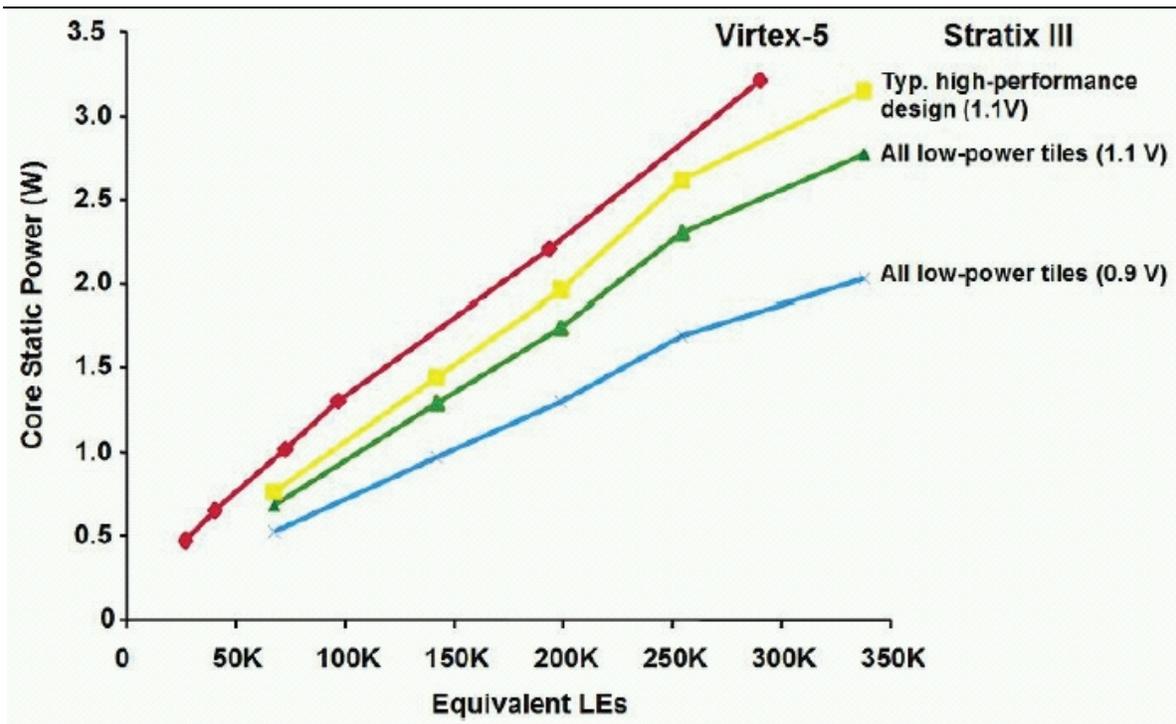


图6. Stratix和Virtex系列FPGA典型的功耗曲线

### 采用FPGA进行系统原型开发——零风险过渡到ASIC

降低传感器系统功耗的另一方法是将系统中的数字逻辑从Stratix系列FPGA转换到HardCopy®结构化ASIC(图7)。在原型设计阶段就可以决定转换到ASIC，不需要预先的工程规划或者投入。这种转换可以用于产品改进，也可以是工程改进建议或者产品建议的一部分。

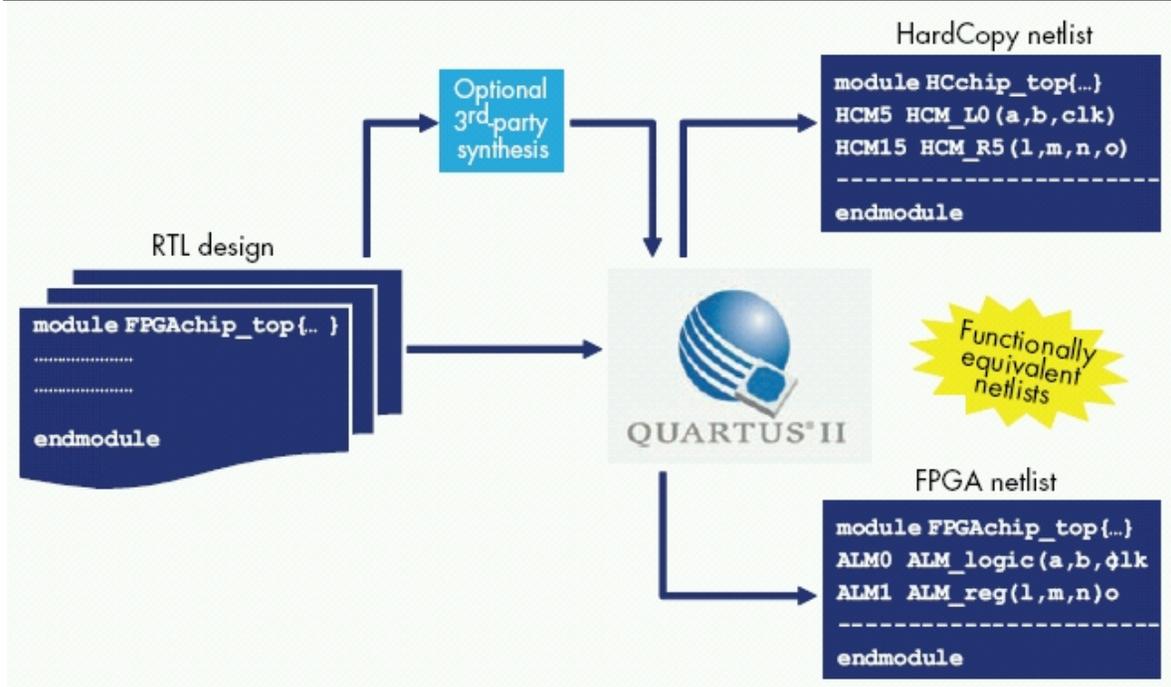


图7. Quartus II软件使设计人员能够迅速从FPGA转换到结构化ASIC

如表2所示，设计人员在其可编程逻辑中，动态和静态功耗分别降低了50%和90%。而这能够以最小的流片成本(NRE)来实现——大约是ASIC设计成本的20%，基本上没有进度或者技术风险。降低功耗后，传感器系统可进一步提高最初产品的性能，不断提高扫描算法和战术性能。

表2. 无缝移植到功耗最低的解决方案

要求	HardCopy结构化ASIC解决方案
低功耗和散热	静态功耗比FPGA低90%，而动态功耗低50%。
高密度和性能	2.2M LE和1.4M DSP模块
	2倍的FPGA性能
较低的技术和进度风险	20个星期内完成从FPGA设计到结构化ASIC，并且没有风险。
其他特性和功能	抗单事件反转(SEU)
	NRE是传统ASIC设计的20%
	设计和生产流程符合国际武器贸易限制条例(ITAR)
	设计与FPGA引脚兼容

当采用Altera FPGA和Quartus II软件进行设计时，总是能够同时实现FPGA的灵活性和可编程能力，还可以通过结构化ASIC大大减少可编程逻辑的散热。在满足军用传感器严格的系统功耗和散热要求方面，这是非常有利的的设计选择。

## 元件供货

带有复杂传感器的军用系统开发是最难管理的工程之一。该工程集成了大量的技术，有些技术甚至没有经过最初原型测试。

Altera一直按时甚至提前交付所有的FPGA器件(参见图8)。最新一代低功耗Cyclone® III和灵活的高密度Stratix III FPGA也是按进度无缺陷交付给早期用户。在雷达和高级传感器系统中使用Altera PLD，项目经理能够大大降低技术和进度风险，集中精力解决最难处理的技术问题。

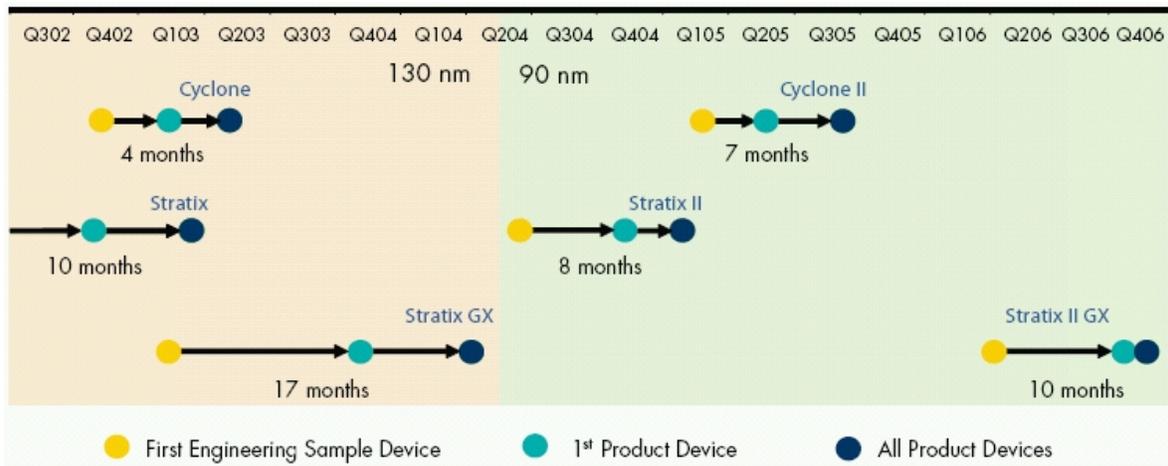


图8. Altera的产品发布历史，所有产品100%按时交付

## 简化的设计流程

雷达和高级传感器系统的设计复杂度几乎以指数增长。设计人员需要能够缩短编译时间、控制设计风险、缩短测试和验证时间的设计工具，而且这种工具还要具有强大的DSP设计能力。

采用Altera设计工具开始设计非常简单——Altera的Quartus II开发软件是唯一能够满足雷达和高级传感器系统设计人员对FPGA和ASIC设计需求的解决方案。如图9所示，Quartus II软件为The MathWorks MATLAB、SOPC Builder、功耗估算器、渐进式布局布线、功耗优化器和TimeQuest时序分析器提供DSP Builder模块集支持。

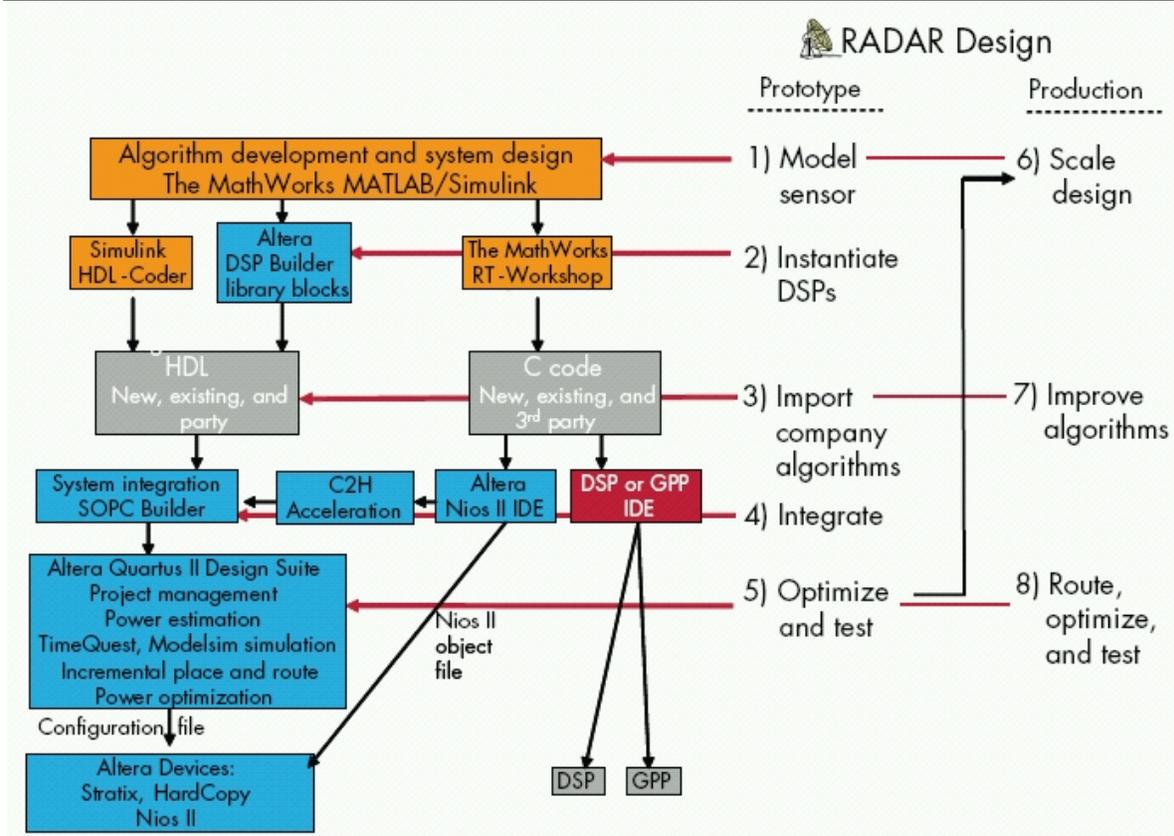


图9. Altera设计工具流程使用方便，具有较低的启动成本

很多高级传感器算法都是在The MathWorks MATLAB中进行设计和仿真。在此，设计人员使用Simulink和Altera的DSP Builder工具，可以将整个设计转换到HDL。

SOPC Builder是传感器设计价值链上的另一工具。利用Altera的专用Avalon<sup>®</sup>接口，SOPC Builder很容易将多个分区逻辑系统集成到一起，自动设置接口协议和位宽度。在从一种产品设计到另一设计的商用IP封装重用上，SOPC Builder是一款优秀的工具。Quartus II设计套件包括优化HDL设计并在芯片上实现所需的全部工具。

Quartus II设计套件丰富的特性(表3所示)提高了高级传感器设计的编译性能。Quartus II开发软件和Xilinx编译器软件的主要不同是存储器需求以及编译时间：Quartus II软件在编译芯片设计时，使用的存储器少50%，而且编译时间要短得多(参见图10)。

表3. Altera设计流程在高级传感器系统中的优势

要求	Altera设计解决方案
DDR3存储器	Quartus II软件结合65-nm FPGA，是唯一经过基准测试能够支持DDR3存储器的设计方案，该存储器的密度是DDR2的两倍，带宽高出50%。
时序支持	只有TimeQuest时序分析器能够在时序分析上提供对Synopsys设计约束(SDC)的自然支持。
快速编译	通用设计基准测试表明，Altera设计编译比最相近的65 nm竞争方案快2倍。
	只有Quartus II软件支持多CPU处理器，提高了性能基准。
	Quartus II是唯一为Windows OS提供64位全面支持的设计软件，它还支持更大的存储器容量(>2 Gbytes)，缩短了编译时间。
	Altera简单的设计分区支持渐进式编译，重新编译时间缩短了70%。
功耗分析和可编程能力	Quartus II功耗分析器提供可靠的功耗估算，具有很好的一致性(8%平均误差)。
	Quartus II是首款支持设计人员控制FPGA动态功耗的PLD设计软件。
大量的信号处理和串行接口IP选择	可更新、可逆的快速傅立叶变换(FFT)\反变换FFT(IFFT)，具有精确到比特的C模型。
	浮点数学支持和编译。

Quartus II软件除了“设计节省”特性以外，其缩短编译时间的选项还包括64位Windows OS支持、多处理器支持和渐进式编译。设计人员利用这些特性，在流畅的编译流程开始时把工程划分成容易编译的小分区，在系统集成阶段将其集成到一起。图10所示为节省的编译时间。

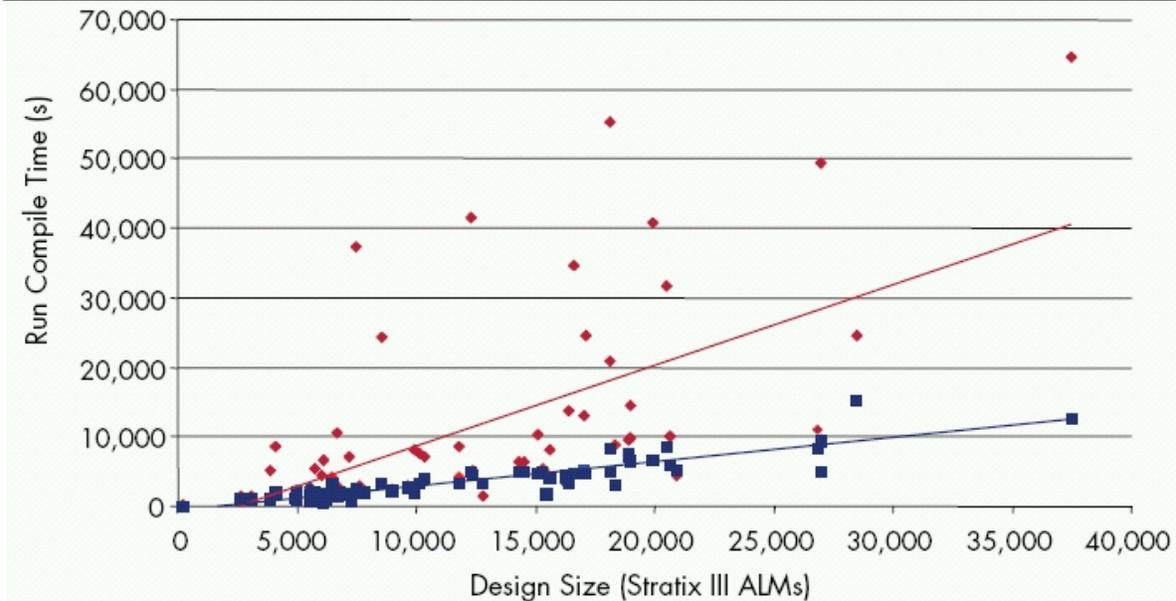


图10. Stratix III和Virtex-5 FPGA在相同设计上的编译时间对比

### 数字接口的信号完整性

对于FPGA和军用传感器系统中的所有其他信号处理器件，信号完整性是对性能影响非常大的因素。当信号通过阵列处理算法单元时，很小的信号误差都会有很大的影响。因此，要求性能达到可靠、全温度范围工作以及低误码率的程度，通过全面的工程投入实现现代传感器系统。

Altera FPGA的信号完整性(参见表4)是通过在芯片和FPGA封装中设计实现的。片内匹配特性控制漂移电压，提高了电源性能以及信号完整性。输出延迟控制、管芯电容和摆率控制等特性降低了导致信号不平衡的电磁漂移效应的影响。Altera在封装设计中使用了封装电容，优化了引脚尺寸，从而增强了信号可靠性。

表4. Stratix系列FPGA显著的信号完整性优势

	显著的特性	优点
芯片	可调摆率控制(4种设置)	减小 $\partial i / \partial t$
	高级片内匹配	合适的匹配
	交错输出延迟控制	减小SSN
	管芯电容	提高PDN质量
封装	封装去耦合电容	减小环路电感，从而降低SSN。
	8:1:1 I/O:GND:PWR比(I/O和GND最大距离 = 1)	提高PDN质量

---

## 结论

在可编程逻辑领域，军用雷达和高级传感器设计是最复杂和要求最苛刻的。基于大规模的工程投入和验证，这些设计有最严格的设计约束、最长的设计周期以及最高的设计管理需求。Altera Stratix系列FPGA和Quartus II设计流程为所有这些设计问题和约束提供切实可行的解决方案。在体系结构设计阶段，从速度和延迟、散热、元件供货、FPGA至ASIC设计流程，直到编译时间，Altera产品都具有无可替代的优势。

## 详细信息：

- Altera的军用雷达网页：
- *在双精度浮点运算中设计并使用FPGA：*

## 致谢：

- J. Ryan Kenny，技术市场经理，军事和航空航天事业部，Altera公司。