

# TMS320VC5402 DSP 与串行 AD73360 A/D 转换器的接口设计

西安电子科技大学雷达信号处理国家重点实验室 (710071) 何学辉 苏涛

**摘要:** 讨论了 TI 公司的数字信号处理器 TMS320VC5402 的多通道缓冲串口与串行 A/D 变换器 AD73360 的接口设计,详细阐述了两者的硬件接口和软件实现。

**关键词:** 多通道缓冲串口 TMS320VC5402DSP AD73360 A/D 转换器

随着对信号处理要求的不断提高以及 DSP 技术的不断发展,越来越多的工程技术人员开始采用 DSP 进行系统设计。美国 TI 公司的 TMS320VC5402 (以下简称 VC5402)DSP 具有运算速度快、功耗小和性价比高的特点,已在个人移动通信、信号与信息处理以及自动控制等领域得到了广泛的应用。该芯片提供了两个多通道缓冲串行接口 (McBSP) 与外部设备进行通信。它与串行 A/D 变换器构成的信号采集与处理系统具有硬件设计简单、可靠性好的特点。本文将详细阐述 VC5402 与 AD73360 的接口设计。

## 1 VC5402 的 McBSP

VC5402 的 McBSP 是一种同步串行接口,支持多种通信方式和 SPI 协议,该串口可以根据设计者的不同需求进行配置,使用非常灵活。它的主要特点如下:全双工的串行通信;连续的发送和接收数据流功能;具有外部时钟输入或内部可编程时钟两种时钟控制方式;可独立编程的发送和接收帧同步;多通道数据传输(最多可达 128 个通道);可选的数据宽度:8、12、16、20、24 或 32 位;用于数据压缩的  $\mu$  律和 A 律压缩扩展;可编程的时钟和帧同步极性。

McBSP 包括 6 个引脚,分别是串行数据发送信号 DX、串行数据接收信号 DR、发送时钟信号 CLKX、接收

时钟信号 CLKR、发送帧同步信号 FSX 和接收帧同步信号 FSR。由于 McBSP 内带有一个可编程的采样和帧同步时钟产生器,所以串口接收、发送时钟和帧同步等信号既可由内部产生,也可以由外部输入。

VC5402 的 McBSP 由 23 个寄存器进行控制,除了少数几个不能由程序访问之外,一般在串口进行数据通信之前都要对它们进行初始化,部分寄存器是存储器映射寄存器,必须通过子地址的方式进行访问。要访问 McBSP 的这些寄存器,首先要将所要访问的寄存器的子地址写到子地址寄存器 SPSA 中,然后才能对数据寄存器进行访问。

McBSP 接收和发送数据的过程如下:在发送数据时,首先将要发送的数据写到 DXR 寄存器中,若 XSR 寄存器为空(说明上一次发送的数据已经由 DX 引脚送出),则将 DXR 寄存器中的数据拷贝到 XSR 寄存器中;然后在帧同步 FSX 和时钟 CLKX 的作用下,将 XSR 寄存器中的数据逐位移到 DX 引脚输出。在数据从 DXR 寄存器复制到 XSR 后,就可以将下一个要发送的数据写到 DXR 寄存器中,因而可以保证数据的连续发送。串口接收数据的过程与发送基本类似,但方向相反且 VC5402 的多通道串口的接收带三个缓冲器。

在 VC5402 片内,CPU 与 McBSP 之间的数据传送有



(接上页)

点是实际检测到的只是摄像头前光线亮度的变化,不能智能地判断引起这种变化的原因,也不能判别运动物体的形状。另一方面,从实验结果来看,有时候会出现误判;当运动物体离摄像头比较远时,检测的灵敏度也会降低,出现漏判。误判和漏判是一对矛盾,在实际应用中需要根据实际情况反复调试,选出最佳的阈值,减少这两种情况的发生。

参考文献

1 Recommendation ITU-R BT.601-5. ITU Organization,1995

2 SAA7113H 9-bit Video Input Processor. Philips Semiconductors, 1999  
 3 马小斌,金连文,尹俊勋.利用 DSP 和 CPLD 增加数据采集的可扩展性.电子技术应用,2003 ;29(3)  
 4 吴繁红,井新宇.用 CPLD/FPGA 设计 A/D 采样控制器.电子工程师,2002(2)  
 5 张华春,雷宏,孙长瑜.基于 CPLD 的 ADSP21060 与 SDRAM 接口设计.信号处理,2002(6)

(收稿日期:2003-05-12)

三种方式:查询方式、中断方式和 DMA 方式。每当串口接收到一个字(新接收的数据复制到 DRR[1,2]寄存器中)或发送的字从 DXR 寄存器拷贝到 XSR 寄存器中时,都会改变串口控制寄存器 1 (SPCR1)中的 RDDY 和串口控制寄存器 2 (SPCR2)中的 XRDY 标志位,所以 CPU 可以通过不断查询的方法知道数据是否发送完毕以及是否接收到新的数据,从而决定下一步操作。CPU 还可以通过串口的接收或发送中断事件,在中断服务程序中完成数据的传送,中断的触发事件是可以选择的,在进行处理之前必须预先设置好串口控制寄存器 1 (SPCR1)和串口控制寄存器 2(SPCR2)中相应的位。第三种传数方式就是通过芯片的 DMA 与串口相连,由串口同步事件触发 DMA 完成数据的传送。

McBSP 的初始化主要完成串口的配置,接收和发送可以分别设定,但要结合具体的硬件设计来进行。串口初始化的主要工作如下:设定 FSR、FSX、CLKX 和 CLKR 为输入还是输出以及它们的极性;设定是单相位还是双相位帧同步;设定每帧所包含的数据个数;设定传输数据的字宽(若为双相位帧同步,每一相位对应的字宽可设为不一样);设定第一个帧同步之后的帧同步是否被忽略;设定数据位的延迟;设定数据的符号扩展方式;设定所选择的传输通道;若采用内部产生时钟和帧同步信号,还需要对时钟和帧同步产生器进行设置。

## 2 串行 A/D 转换器 AD73360

AD73360 是 AD 公司推出的 6 通道模拟输入的 16 位串行可编程 A/D 转换器。由于采用  $\Sigma-\Delta$  A/D 转换原理,具有良好的内置抗混叠性能,所以对模拟前端滤波器的要求不高,用一阶 RC 低通滤波器就能满足要求。由于其采样率和输入信号增益都是可编程的,采样率可分别设置为 64K、32K、16K 和 8K (输入时钟为 16.384MHz 时),增益可在 0dB 到 38dB 之间选择,因而它既适合于大信号的应用,也适合于小信号的应用。AD73360 能保证 6 路模拟信号同时采样,且在变换过程中延迟很小。AD73360 还能多片级联使用,从而扩充模拟输入的通道数。

AD73360 有 R-28 和 SU-44 两种封装,图 1 是 R-28 封装的管脚图,下面仅对与 McBSP 接口设计有关的部分引脚进行说明。

RESET 为 AD73360 硬件复位信号,用于对 AD73360 进行硬件复位;SE 为串口使能信号,当 SE 为高电平时,AD73360 正常工作,当 SE 为低电平时,AD73360 被禁止,此时所有的输出为三态,所有的输入信号无效,同时 AD73360 进入节电状态。MCLK 为外部时钟输入信号,通常由外部时钟驱动,MCLK 进入 AD73360 之后,首先被分频产生 DMCLK(内部主时钟信号),然后由 DMCLK 分频产生串口时钟信号 SCLK,它们的分频因子都是可编程的;SCLK 为串口时钟信号,通常作为 DSP 的同步串口

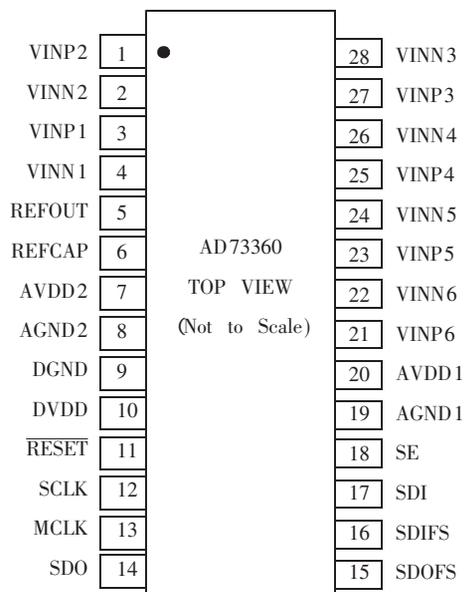


图 1 AD73360 管脚图

的输入时钟信号;SDI 和 SDIFS 为数据输入和输入帧同步信号,通常用于接收初始化控制字;SDO 和 SDOFS 为数据输出和输出帧同步信号,通常用于输出转换的数据;其余的引脚分别为 6 路模拟输入、模拟电源和数字电源。AD73360 有 8 个控制寄存器 (CRA、CRB、CRC、CRD、CRE、CRF、CRG、CRH),在 AD73360 工作之前必须对这些寄存器进行初始化。AD73360 有三种工作模式:编程模式、数据模式和混合模式。在编程模式下只接收控制字,输出无效的转换数据;在数据模式下,输入的控制字被忽略,输出有效的转换数据;在混合模式下,允许在数据转换过程中接收控制字。

## 3 McBSP 与 AD73360 接口的硬件设计

AD73360 的模拟输入共有四种方式:直流耦合的差分输入、交流耦合的差分输入、直流耦合的单端输入和交流耦合的单端输入。交流耦合的差分输入的连接如图 2 所示,其中 C1 和 C2 起隔直作用,R1、C3 和 R2、C4 分别为一阶低通滤波器,R3 和 R4 的作用是把参考信号引入到输入端,C5 为旁路电容。由于用到 AD73360 的内部参

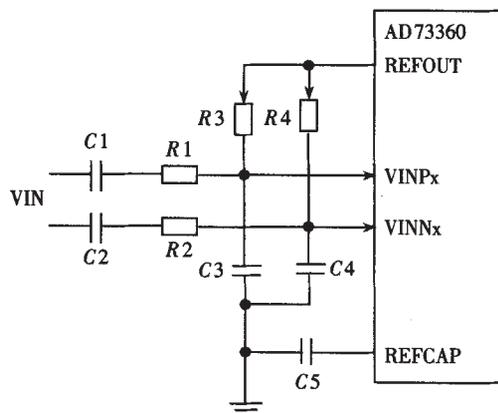


图 2 交流耦合的差分模拟输入

考源,所以初始化时必须使能参考信号(REFOUT)的输出。

McBSP(串口0)与AD73360的连接如图3所示。图中VC5402的McBSP的XF引脚与AD73360的SE引脚和RESET引脚相连,XF信号用于对AD73360进行控制;AD73360的串口时钟SCLK信号作为McBSP的发送信号(CLKX0)和接收时钟信号(CLKR0);McBSP的发送引脚(FSX0)、接收帧同步引脚(FSR0)与AD73360的输入引脚(SDIFS)、输出帧同步(SDOFS)连到一起,使McBSP的发送信号(FSX0)和接收帧同步时钟信号(FSR0)与AD73360的输出帧同步信号(SDOFS)保持同步。AD73360的数据输出引脚(SDO)和输入引脚(SDI)分别与McBSP的数据接收引脚(DR0)和数据发送引脚(DX0)相连。VC5402的定时器对主时钟分频,其输出再经过2分频得到AD73360的驱动时钟信号MCLK,实际上也可由晶振直接产生AD73360的驱动时钟信号MCLK。AD73360的最高输入时钟为16.384MHz,如果DSP主时钟为81.92MHz时,定时器分频因子可设为4。

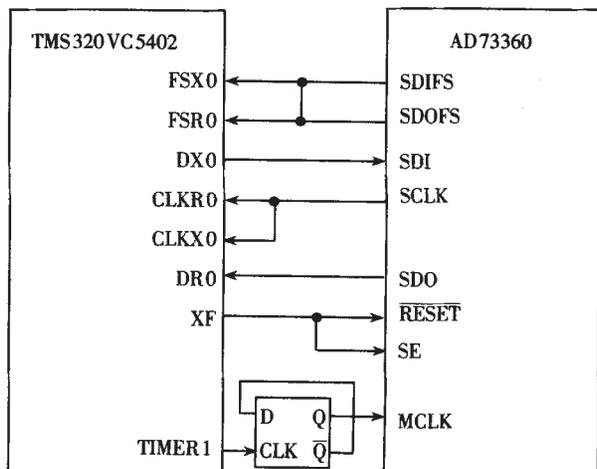


图3 McBSP与AD73360的连接图

#### 4 McBSP与AD73360接口的软件设计

与硬件接口相对应的软件设计包括:设置定时器1的分频因子并启动定时器、McBSP的初始化、AD73360的初始化、开始接收并处理数据等。若AD73360的驱动时钟不是由VC5402分频得到,则第一步可以忽略。在串口初始化时,由图3可知,McBSP的发送、接收时钟和帧同步等信号都为输入,因而无需用到McBSP内部的采样和帧同步产生器;由于AD73360的控制字和转换的数据都为16位,所以McBSP应设置为单相位的接收和发送帧同步且传送每个字的宽度为16位。采用中断方式完成数据传送时,对McBSP各控制寄存器的初始化值如下:

- RCR1=XCR1=0040h 每帧一个字,字宽为16位。
- RCR2=XCR2=0001h 单相位帧同步,无压扩,第一个帧同步后的帧同步不忽略,一位数据延迟。
- PCR=0h 发送和接收帧同步,时钟都由外部输入,发送和接收帧同步

为高有效,发送和接收数据在上升沿采样。

- MCR1=1h 所有的接收通道被禁止,所需要的通道由RP(A/B)BLK和RCER(A/B)选择。
- MCR2=1h 所有的发送通道被禁止且被屏蔽,所需要的通道由XP(A/B)BLK和XCER(A/B)选择。
- RCERA=1h,RCERB=0h 仅打开接收通道0,关闭其它通道。
- XCERA=1h,XCERB=0h 仅打开发送通道0,关闭其它通道。
- SPCR1=1h 使能串口接收,接收中断由RRDY标志触发。
- SPCR2=0103h 使能串口发送,发送中断由XRDY标志触发。

McBSP(串口0)的初始化程序(SPSA为子地址寄存器,映射地址为38h;SPDATA为数据寄存器,映射地址为39h)如下:

```

stm #0000h,SPSA ;子地址寄存器指向串口控制寄存器1(SPCR1)
stm #0000h,SPDATA ;关闭串口接收
stm #0001h,SPSA ;子地址寄存器指向串口控制寄存器2(SPCR2)
stm #0102h,SPDATA ;关闭串口发送
stm #0002h,SPSA ;子地址寄存器指向接收控制寄存器1(RCR1)
stm #0040h,SPDATA ;子地址寄存器指向接收控制寄存器2(RCR2)
stm #0001h,SPDATA ;子地址寄存器指向发送控制寄存器1(XCR1)
stm #0040h,SPDATA ;子地址寄存器指向发送控制寄存器2(XCR2)
stm #0005h,SPSA ;子地址寄存器指向管脚控制寄存器(PCR)
stm #0000h,SPDATA ;子地址寄存器指向多通道控制寄存器1(MCR1)
stm #0008h,SPSA ;子地址寄存器指向多通道控制寄存器2(MCR2)
stm #0001h,SPDATA ;子地址寄存器指向接收通道使能寄存器A(RCERA)
stm #000ah,SPSA ;子地址寄存器指向接收通道使

```

能寄存器 B(RCERB)

```
stm #0000h,SPDATA
stm #000ch,SPSA ;子地址寄存器指向发送通道使
能寄存器 A(XCERA)

stm #0001h,SPDATA
stm #000dh,SPSA ;子地址寄存器指向发送通道使
能寄存器 B(XCERB)

stm #0000h,SPDATA
stm #0000h,SPSA ;子地址寄存器指向串口控制寄
存器 1(SPCR1)

stm #0001h,SPDATA ;使能串口接收
stm #0001h,SPSA ;子地址寄存器指向串口控制寄
存器 2(SPCR2)

stm #0103h,SPDATA ;使能串口发送
```

McBSP 初始化完成并使能 McBSP 后就可以通过它对 AD73360 进行初始化,其程序(DXR10 和 DRR10 分别为串口 0 的发送和接收寄存器,映射地址分别为 22h 和 20h)如下:

```
errorrb: stm #8105h,DXR10 ;向 CRB 写控制字 05h,DMCLK
ld DRR10,a =MCLK,SCLK=DMCLK/4,
stl a,ar1 采样率=DMCLK/1024
stm #0b905h,ar0
cmpr 0,ar1
bc errorrb,ntc ;判断控制字是否已正确写入,
errorrc: stm #8241h,DXR10 向 CRC 写控制字 41h,使能
ld DRR10,a 参考电平输出,全局上电
stl a,ar1
stm #0ba41h,ar0
cmpr 0,ar1
bc errorrc,ntc ;判断控制字是否已正确写入,
errorrd: stm #8388h,DXR10 向 CRD 写控制字 88h,通道
ld DRR10,a 1和通道 2 加电,增益为 0dB
stl a,ar1
stm #0bb88h,ar0
cmpr 0,ar1
bc errorrd,ntc ;判断控制字是否已正确写入,
errorre: stm #8488h,DXR10 向 CRE 写控制字 88h,通道
ld DRR10,a 3和通道 4 加电,增益为 0dB
stl a,ar1
stm #0bc88h,ar0
cmpr 0,ar1
bc errorre,ntc ;判断控制字是否已正确写入,
errorrf: stm #8588h,DXR10 向 CRF 写控制字 88h,通道
ld DRR10,a 5和通道 6 加电,增益为 0dB
stl a,ar1
stm #0bd88h,ar0
cmpr 0,ar1
bc errorrf,ntc ;判断控制字是否已正确写入,
errorrg: stm #8600h,DXR10 ;向 CRG 写控制字 00h,设置
ld DRR10,a 1至 6 通道为差动输入方式
```

```
stl a,ar1
stm #0be00h,ar0
cmpr 0,ar1
bc errorrg,ntc ;判断控制字是否已正确写入,
errorrh: stm #8700h,DXR10 ;向 CRH 写控制字 00h,设置
ld DRR10,a 1至 6 通道为同相输入方式
stl a,ar1
stm #0bf00h,ar0
cmpr 0,ar1
bc errorrh,ntc ;判断控制字是否已正确写入,
stm #8001h,DXR10 向 CRA 写控制字 01h,使
rpt #400 AD73360 进入数据模式
nop
```

AD73360 初始化完成之后就可以打开串口的接收中断,在中断服务程序中接收 A/D 转换的数据。在该配置条件下,若输入时钟为 8.192MHz,则 AD73360 为六路模拟采样,采样率为 8kHz。图 4 为其中一路采样信号在 CCS 环境中的显示。

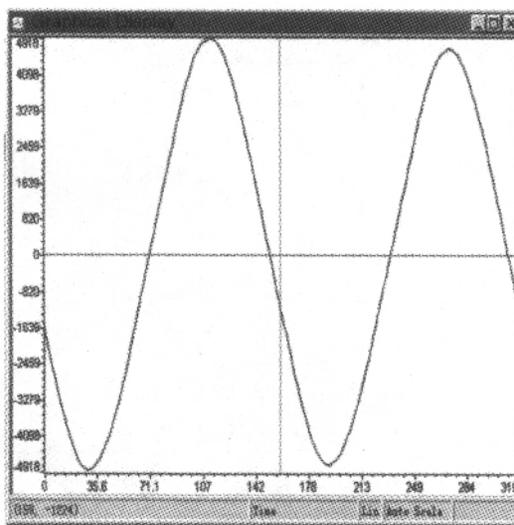


图 4 采样信号在 CCS 中的显示

实践表明,由 VC5402 的 McBSP 和 AD73360 构成的信号采集和处理系统具有设计简便、结构紧凑、工作稳定和可以方便地在几种采样率之间选择等优点。与并行接口相比,采用串行接口的硬件连接线大为减少,这样不仅可以减少印制电路板的面积,还可以减少电磁干扰,从而有利于系统更加稳定的工作。在不影响系统工作速度的条件下,在系统设计中利用串行接口代替并行接口不失为一种很好的设计方法。

参考文献

- 1 TMS320C54X DSP Reference Set Volume5: Enhanced Peripherals. TI 公司, 1999
- 2 AD73360 Data Sheet. AD 公司, 1999
- 3 苏涛. DSP 实用技术. 西安:西安电子科技大学出版社, 2002 (收稿日期:2003-03-17)